

基于FPGA的DDR3协议解析设计

谭海清^{1,2} 陈正国^{1,2} 陈微^{1,2} 肖依^{1,2}

¹国防科学技术大学计算机学院, 长沙 410073

²国防科学技术大学高性能计算国家重点实验室, 长沙 410073

简介

近年来, SSD存储技术迅猛发展, 相关的SSD产品逐渐取代传统硬盘成为主流存储设备。在经历以SATA/SAS和PCIe接口为代表的两代SSD设计之后, 研究者提出采用DDR3接口来设计新一代SSD, 通过减少访存数据路径长度来降低读写数据延时, 提高SSD性能。DDR3协议解析技术完成针对DDR3接口信号的同步时序转换, 成为新一代高性能SSD设计与研究工作中的重点和难点。

本文基于FPGA可编程逻辑器件, 针对DDR3接口信号, 严格按照JEDEC规范的同步时序要求, 设计实现了一整套协议解析与控制逻辑, 完成了与内存控制器之间的数据交互, 实现了高性能的数据传输。实验结果表明, DDR3协议解析逻辑能正确地配合内存控制器完成初始化和校准流程, 并在读写阶段获得较高的I/O性能。

1. 基于DDR3接口的固态硬盘原型系统架构

本论文设计的基于DDR3接口的SSD原型系统由主控制器、缓存DRAM和Flash存储空间三部分构成。主控制器采用FPGA可编程逻辑实现, 用于对存储系统的读写控制和访存调度, 是原型系统的核心; 缓存DRAM采用大容量的DDR3芯片, 集成在固态硬盘内部, 用于缓冲Flash中的常用数据, 以加速整个固态硬盘的读写性能; Flash存储空间由多颗NAND Flash构成, 形成大容量的数据存储区。图1为固态硬盘原型系统总体架构。

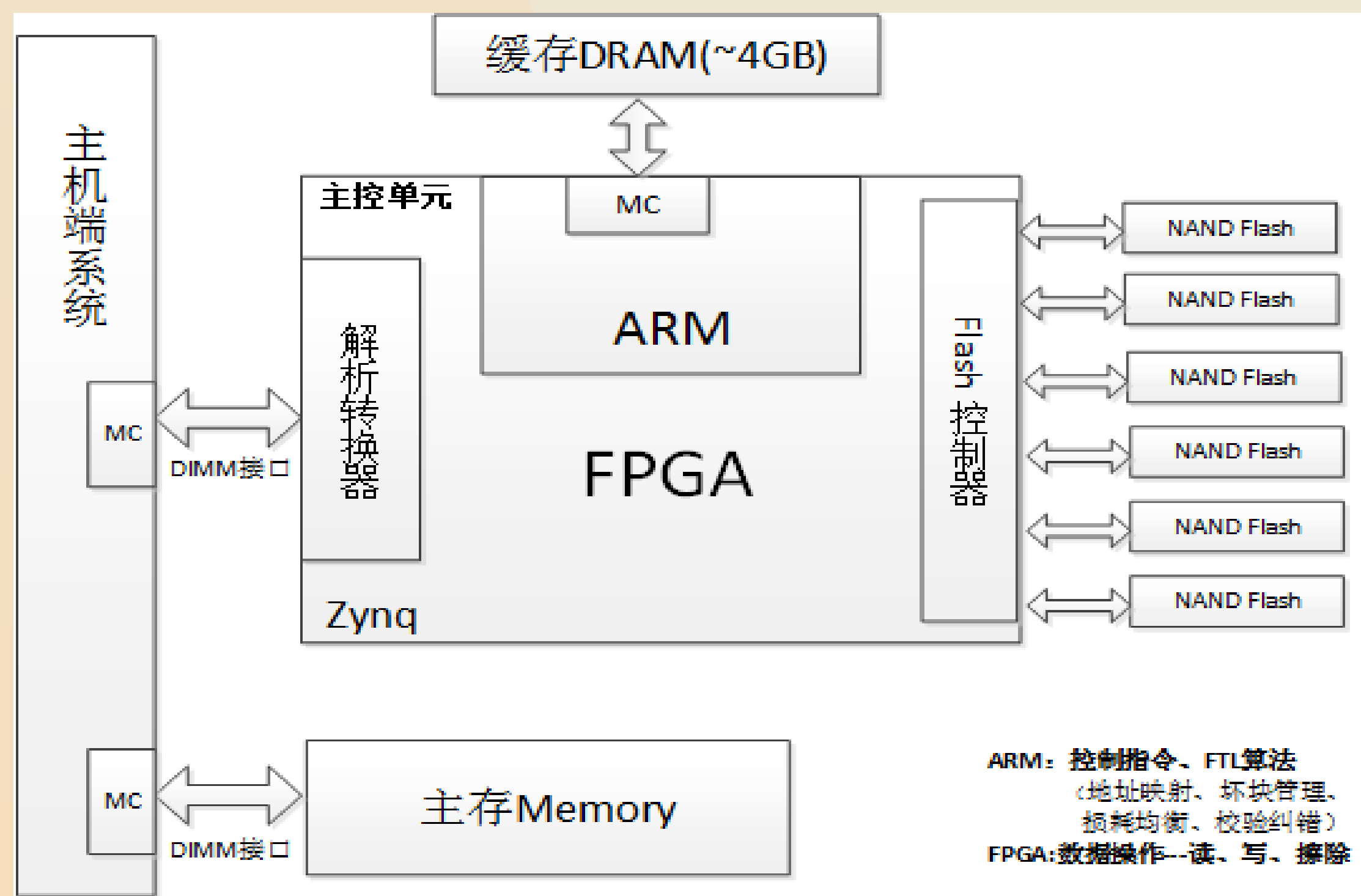


图1 基于DDR3接口的固态硬盘原型系统架构

2. DDR3协议解析逻辑设计

固态硬盘主控制器部分需要对该接口信号进行解析以识别访存操作并进行访存调度, 即解析转换器所要完成的工作。解析转换器逻辑设计方案如图2所示。

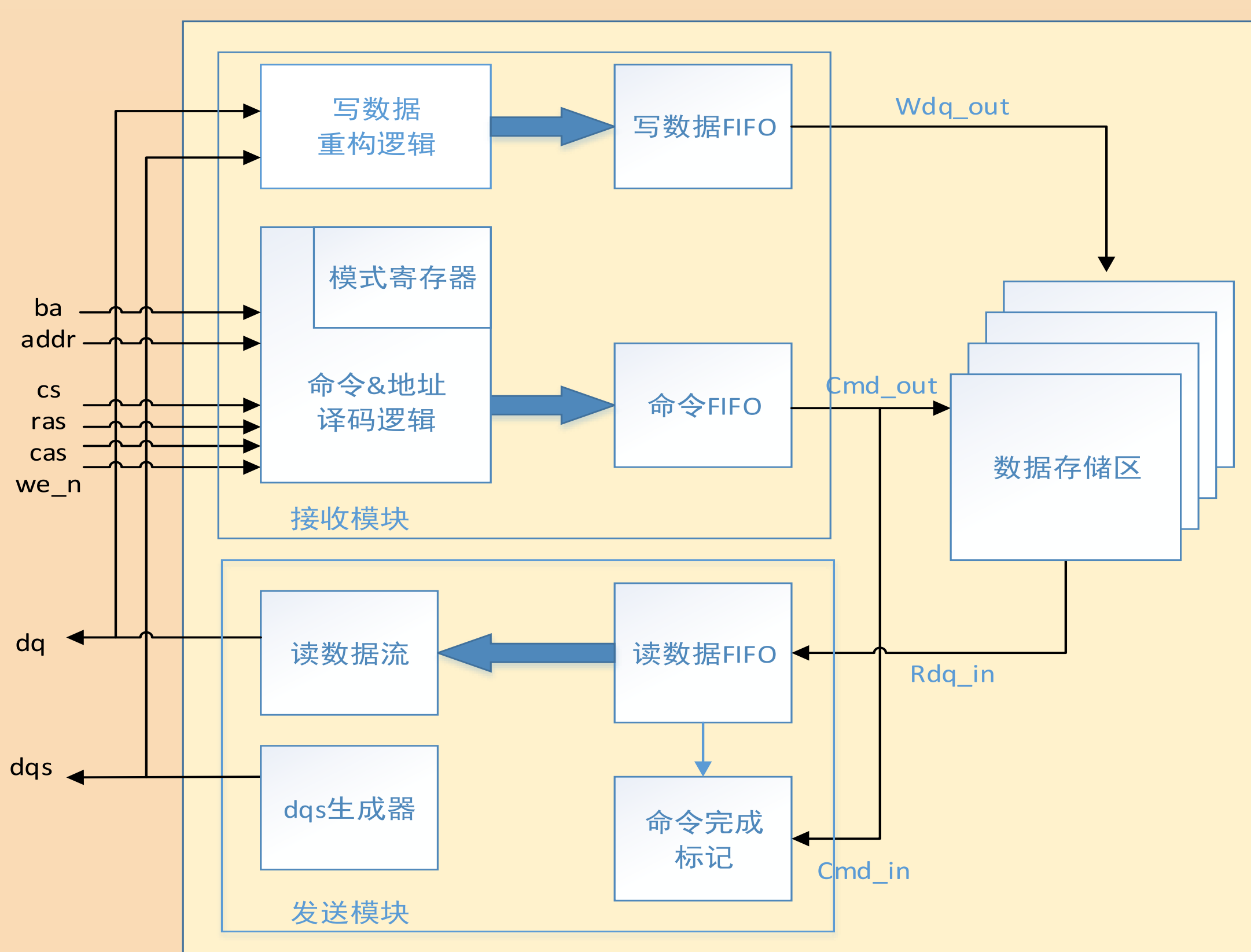


图2. DDR3接口信号解析逻辑

3. DDR3接口同步交互

DDR3接口进行数据传输时有严格的同步时序关系。一个读命令, 分为多个阶段进行, 分别是行激活、读命令、读数据、预充电等, 每一阶段的时钟周期数由设定的参数严格控制, 提前或延后相关操作都将造成无法正确地读出数据; 写操作同理, 只是延迟参数不一样。读写同步控制时序如图3所示。本文严格按照JEDEC规范的时序操作进行逻辑解析。

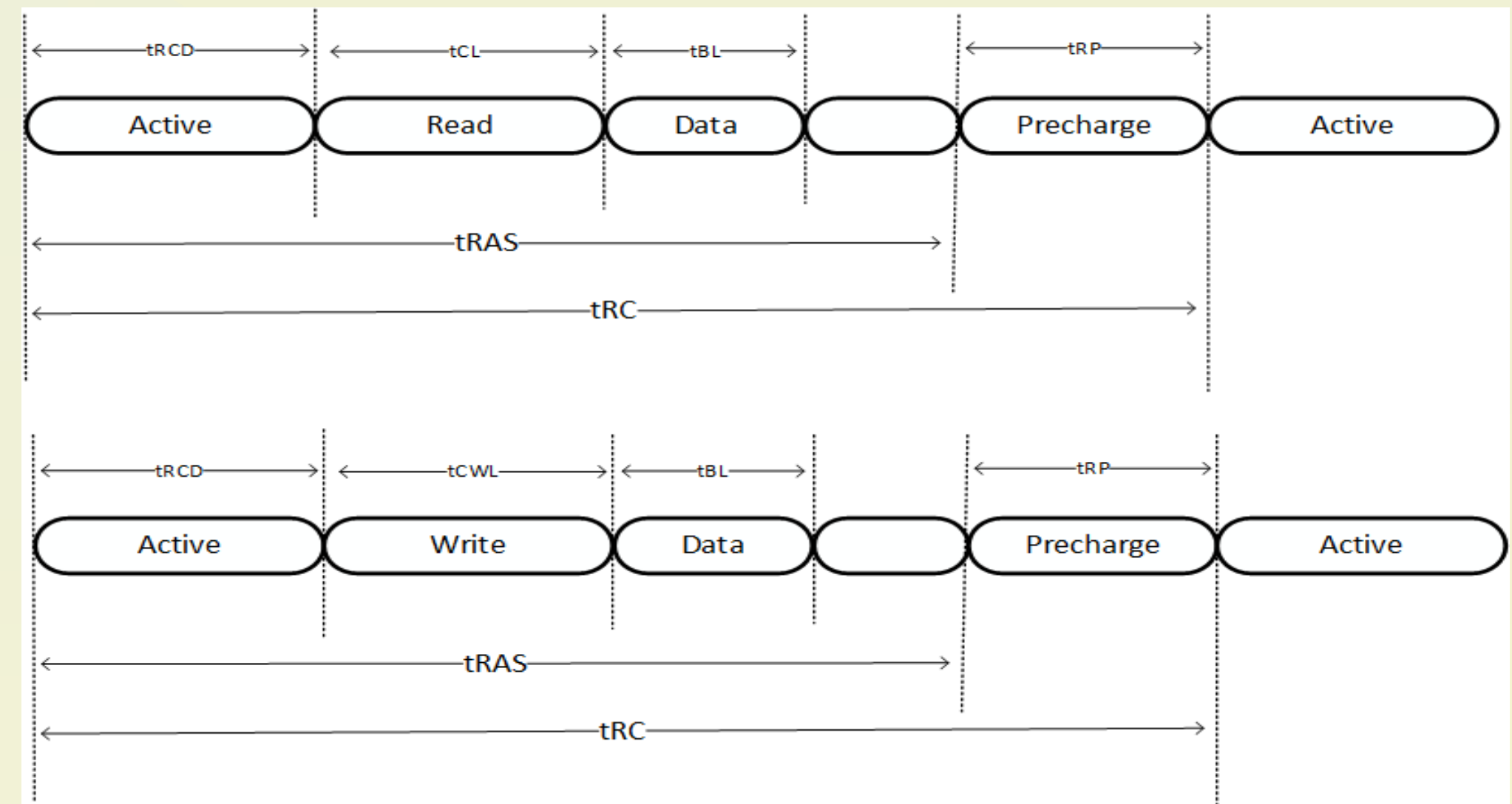


图3 数据读写同步控制时序

4. 实验结果

实验分为两个部分: 正确性验证和读写性能测试, 其中正确性验证检验解析逻辑在时序上的正确性, 读写性能测试则用于测试解析逻辑能够利用到的接口性能。正确性验证是读写测试的基础。

试验结果表明, 解析逻辑能够严格按照JEDEC标准的时序要求进行设计, 完成了解析逻辑与控制器之间进行初始化及数据校准的交互过程。

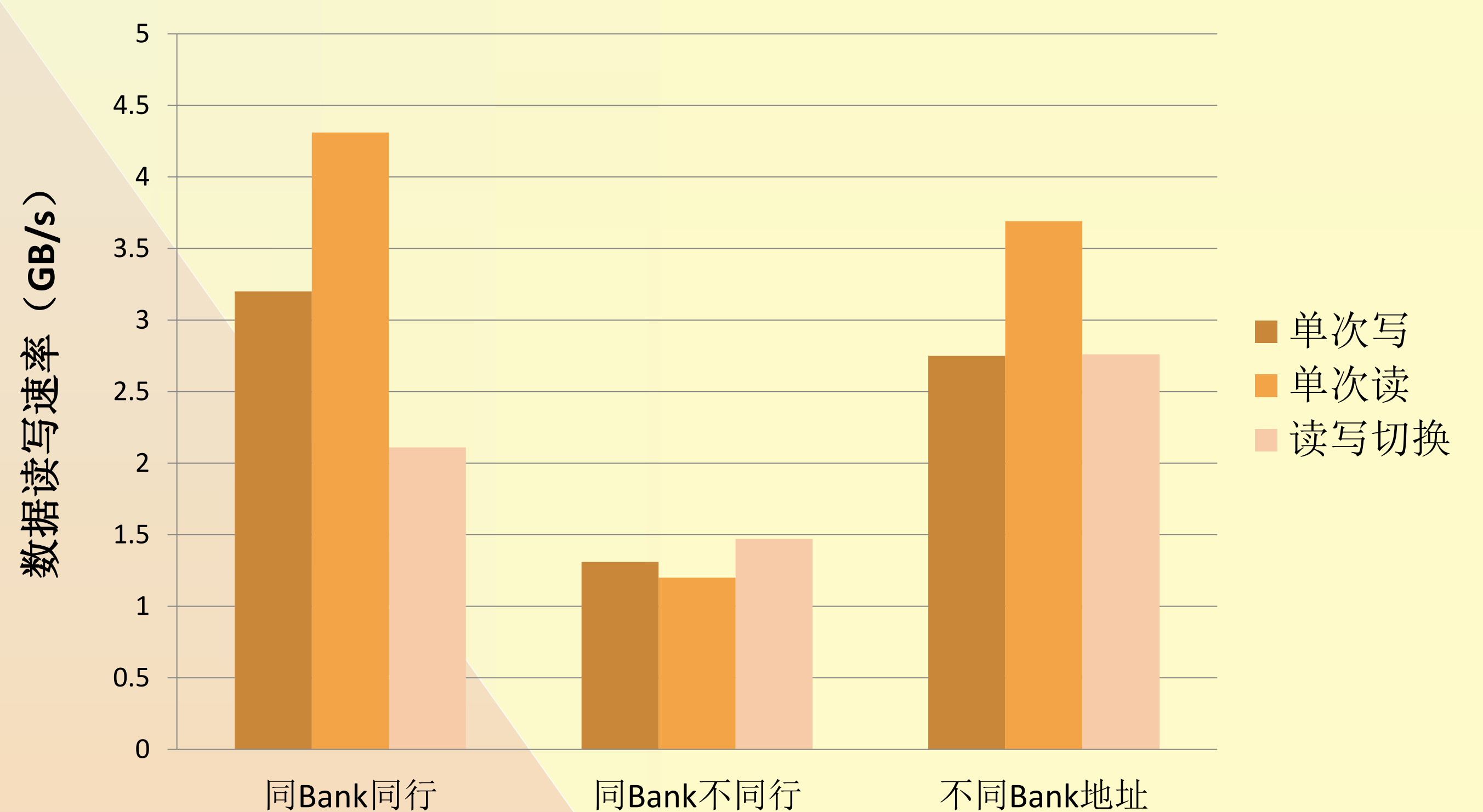


图4. 单次数据读写性能

表1 连续数据读写性能

	连续写	连续读
数据传输速率	4.41GB/s	4.98GB/s

读写测试分为单次读写和读写切换测试, 如图4所示, 可以看出: 1、DDR3接口带宽利用率较高 (DDR3-800带宽为6.4GB/s); 2、单次同bank同行读写性能最好, 其次是不同bank地址上的读写, 不同bank不同行上读写最慢是因为每次读写都需要重新激活新的行。

连续数据写性能比三种情况的单次写性能好35%、197%、83%, 连续读性能则比三种情况的单次读性能好15%、283%、38%。

5. 参考文献

- [1] IHS homepage. <https://www.ihs.com/index.html>.
- [2] Hilson G. SanDisk Ships Enterprise-Grade ULLtraDIMM SSDs[J].
- [3] Standard J. DDR3 SDRAM Standard[J]. JESD79-3, Jun, 2007.